

1/5/1

DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

011134524 **Image available**

WPI Acc No: 1997-112448/ 199711

XRPX Acc No: N97-093018

**Information processor with FPGA - in which FPGA performs processing using
starting command in response, by suitable programming of FPGA block**

Patent Assignee: NIPPON DENKI ENG KK (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8316329	A	19961129	JP 95124635	A	19950524	199711 B

Priority Applications (No Type Date): JP 95124635 A 19950524

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8316329	A	5	H01L-021/82	

Abstract (Basic): JP 8316329 A

The information processor has an FPGA block (3) which is programmed such that the FPGA performs processing using the starting command in response.

The FPGA processes the operations that are to be originally performed by the CPU of a computer (1).

ADVANTAGE - Enables CPU to perform other tasks by enabling FPGA to process some operations, and thus speeds up processing rate.

Dwg.1/4

Title Terms: INFORMATION; PROCESSOR; PERFORMANCE; PROCESS; START; COMMAND;
RESPOND; SUIT; PROGRAM; BLOCK

Index Terms/Additional Words: FIELD; PROGRAMMABLE; GATE; ARRAY

Derwent Class: T01; U13

International Patent Class (Main): H01L-021/82

International Patent Class (Additional): G06T-001/00

File Segment: EPI

SPEC

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316329

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	A
G 0 6 T 1/00			G 0 6 F 15/66	J

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-124635

(22) 出願日 平成7年(1995)5月24日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 仲村 忠晴

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

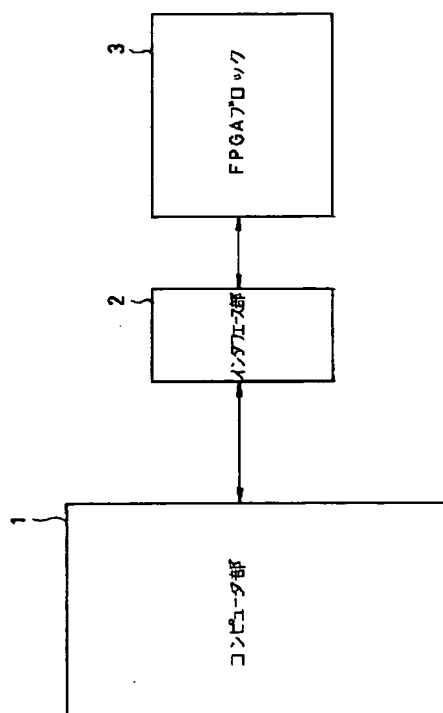
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 情報処理装置の処理速度を向上させる。

【構成】 処理の開始指令に応答してその処理をFPGAが行うようにFPGAブロック3をプログラムする。本来コンピュータ部1内のCPUが行うべき処理をFPGAが行うため、処理速度が速い。FPGAがその処理を行っている間は、CPUは他のタスクを実行できる。



1

【特許請求の範囲】

【請求項 1】 Field Programmable Gate Array (以下、FPGA と略す) と、処理の開始指令に応答して該処理を前記 FPGA が行うように該 FPGA をプログラムする CPU とを含み、このプログラム後に前記 FPGA が前記処理を行うようにしたことを特徴とする情報処理装置。

【請求項 2】 前記 FPGA の前記処理の結果を格納するバッファを更に含み、前記 CPU は前記バッファの内容を読み出すことを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記 FPGA を複数含み、前記 CPU はこれら複数の FPGA を夫々プログラムすることを特徴とする請求項 1 又は 2 記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置に関し、特にその処理速度の向上に関する。

【0002】

【従来の技術】 情報処理装置が画像処理を行う場合、大量のデータを扱うことになる。このため、情報処理装置の処理速度を向上させる必要がある。

【0003】 情報処理装置の処理速度を向上させる方法が特開昭 60-54077 号公報に開示されている。これは、画像データを格納する画像メモリに、画像の取出し、格納を高速に行うための付加プロセッサと、主プロセッサとの共有メモリとを付加するものである。

【0004】 そして、画像メモリに付加プロセッサを付加することにより、単に画像データの取出し、格納を高速化するだけでなく、ソフトウェアによるプログラマブルな構成にすることで、機能の柔軟性、拡張性を実現するものである。

【0005】

【発明が解決しようとする課題】 上述した従来技術においては、マルチプロセッサ構成にすることによって性能向上を図ろうとしている。しかし、マルチプロセッサによるソフトウェアの並行動作では性能向上に限界があった。

【0006】 本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はより処理速度の向上した情報処理装置を提供することである。

【0007】

【課題を解決するための手段】 本発明による情報処理装置は、Field Programmable Gate Array (以下、FPGA と略す) と、処理の開始指令に応答して該処理を前記 FPGA が行うように該 FPGA をプログラムする CPU とを含み、このプログラム後に前記 FPGA が前記処理を行うようにしたことを特徴とする情報処理装置。

【0008】

2

【作用】 処理の開始指令に応答して該処理を FPGA が行うように FPGA をプログラムする。本来 CPU が行うべき処理を FPGA が行うため、処理速度が速い。FPGA がその処理を行っている間は、CPU は他のタスクを実行できる。

【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 図 1 は本発明による情報処理装置の一実施例の構成を示すブロック図である。図において、本発明の一実施例による情報処理装置は、CPU を含み従来のコンピュータと同一の機能を有するコンピュータ部 1 と、複数の FPGA からなる FPGA ブロック 3 と、これら 2 つを接続するためのインタフェース部 2 とを含んで構成されている。コンピュータ部 1 は、ソフトウェアが得意とするマンマシンインタフェース処理や時分割処理など複雑ではあるが、計算のパワーをあまり必要としない処理を実行する。一方、FPGA ブロック 3 は画像処理など大量のデータを高速に処理するための機能を分担する。インタフェース部は、FPGA のプログラムやコンピュータ本体と FPGA ブロックのデータのやり取りの制御を実行する。

【0011】 従来、このような付加回路を持ったコンピュータはあるが、本発明では付加回路をプログラム可能としている。つまり、アプリケーションに依存する処理に応じて付加回路をプログラムすることによって、ハードウェアの特徴である高速さと、ソフトウェアの特徴であるプログラマブルという、両者の利点を活かした処理を可能としているのである。

【0012】 図 2 は図 1 中のインタフェース部 2 の構成を示すブロック図である。

【0013】 図において、バスコントローラ 21 はコンピュータ部 1 のバスを接続するためのタイミング調整やバッファリングを行う。

【0014】 コンフィギュレーション RAM 22 は FPGA のコンフィギュレーション (プログラム) データを一時的に格納するためのメモリであり、その内容はコンピュータ部 1 によって設定される。コンピュータ部 1 側ではこのコンフィギュレーションデータを一般のソフトウェアと同じようにディスクなどの記憶媒体に記憶、管理できるほか、ソースプログラムの作成やコンパイル、シミュレーションによる実行など、一般のソフトウェア開発と同じく開発や変更も可能である。

【0015】 コンフィギュレーションコントローラ 23 は、コンフィグバス 230 によって、コンフィギュレーション RAM 22 の内容を、指定された FPGA に転送する際の制御を行う。すなわち、FPGA で所望の機能を実現するためには、最初 (電源投入後等) コンフィギュレーションが必要になる。このコンフィギュレーションとは FPGA の外部あるいは内部に実装された PRO

3

Mから回路情報を読み込み、回路をその場で構成することをいう。つまり、コンフィギュレーションコントローラ 23はFPGAの回路構成を変更するための制御を行い、所望の機能をFPGAに持たせる動作を行うのである。

【0016】データバッファ25は、コンピュータ部1とFPGAとの間のデータのやり取りを行う際の、バッファリングを行う。

【0017】データコレクタ/ディストリビュータ24は、データバス240によって、FPGAが要求するデータをFPGAに供給したり、逆にFPGAの処理したデータを記憶するためのキャッシュメモリ及びそのコントローラである。すなわち、FPGAは完全にコンピュータ部1とは並行に動作するので、コンピュータ部1との間でデータのやり取りを行う手段が必要となる。データコレクタはFPGAの出力データを集めてバッファリングしておき、コンピュータ部1がデータを要求したときに図示せぬ主メモリへデータを転送するのである。逆に、データディストリビュータは、コンピュータ部1が作成したデータを主メモリから指定されたFPGAへ転送するのである。

【0018】図3は図1中のFPGAブロック3の構成を示すブロック図である。FPGAブロックは、複数のFPGA3-1~3-nの配列であり、個々のFPGA3-1~3-nは各々独立に動作する。コンフィグバスは論理的にはデータバスとは別であるが、FPGAの構造上、物理的には同一のバスを使用する。

【0019】ここでFPGAは、LSIベンダ側で予め機能ブロックとそれらをつなぐ配線を作り込んでおき、後にユーザ側で実際に用いる配線を選択できる方式のゲートアレイである。これは任意の論理回路を構成することができるだけでなく、それを任意に変更(書換え)することができるものである。

【0020】本例の装置では、このFPGAをプログラムするアプリケーションソフトウェアを予め用意しておき、そのソフトウェアを実行することによってFPGAをプログラムし、CPUが本来行うべき処理をFPGAが行うのである。なお、このアプリケーションソフトウェアは、ハードウェア記述言語(Verilog Hardware Description Language等)でプログラミングする。

【0021】CPUが行うべき処理をFPGAが行うと、CPUが行う場合よりも処理が速い。したがって、CPUとFPGAとの処理速度差を吸収する必要がある。このため本装置では、FPGAの処理結果を格納するデータバッファ25を設け、CPUがこのバッファ25の内容を読み出す構成としているのである。

【0022】また、本例ではFPGAブロック3内にFPGAを複数含み、CPUがこれら複数のFPGAを夫々プログラムする構成であり、1つのFPGAで処理を

4

行う場合よりも処理速度向上の効果が大きいのである。

【0023】ここで、図4を参照して従来の情報処理装置と本例の情報処理装置との動作を説明する。

【0024】同図(a)は従来の情報処理装置のCPUの動作を示すタイムチャート、同図(b)は本例の装置におけるCPU及びFPGAの動作を示すタイムチャートである。両図共に、画像処理等のように大量のCPUパワーを消費するアプリケーションソフトウェアを実行した場合が示されている。なお両図において、横軸は時間、縦軸はCPU又はFPGAの消費パワーである。

【0025】同図(a)に示されているように、従来の装置のようにCPUのみが実行すると処理の開始時刻Sから終了時刻EまでCPUのパワーをフル(Full)に使用しても多くの時間がかかる。

【0026】これに対し本例の装置では、同図(b)に示されているように、CPUは処理の開始時刻Sから時刻T1までの間、FPGAのプログラムを行うためオーバヘッドが生じる。ところが、演算処理はハードウェアであるFPGAが時刻T1から時刻T2までの間に行う。そして、このFPGAが行った演算処理の結果は、時刻T2から時刻Eまでの間にCPUに送られる。

【0027】したがって、本装置によれば、従来装置よりも短い時間で処理を行うことができるのである。また、CPUは開始時刻Sから時刻T1までの間、FPGAのプログラムを行うが、このためにCPUが消費するパワーはわずかであり、CPUの余ったパワー(図中の実線と破線との間のパワー)は他のタスクのために消費することもできるのである。特に、図中の符号Aで示されているように、FPGAが処理を行う時刻T1から時刻T2までの間は、CPUの消費パワーが零であり、この間CPUは他の処理を行うことができるのである。

【0028】つまり本装置は、マルチプロセッサ構成にしてコンピュータの性能向上を図るのではなく、プログラマブルなハードウェアであるFPGAを利用した回路を付加することによって性能向上を図っているのである。よって、本装置によれば、大幅な処理の高速化を図りつつ、ソフトウェアの柔軟性、拡張性を維持できるのである。

【0029】なお、以上は画像処理を行う場合について説明したが、それ以外の大量のデータ処理を行う場合においても、本装置を用いれば処理速度が向上することは明らかである。この場合、その処理をFPGAに行わせるため、FPGAをプログラミングするソフトウェアを予め用意しておけば良い。つまり、FPGAをプログラミングするソフトウェアを、本来CPUに行わせるべき処理毎に用意しておき、実行すべき処理に応じてそれらを選択して実行すれば良いのである。

【0030】

【発明の効果】以上説明したように本発明は、処理の開始指令に応答してその処理をFPGAが行うようにCP

10

20

30

40

50

5

UがFPGAをプログラムすることにより、本来CPUが行うべき処理をFPGAが行うため、処理速度が速いという効果がある。また、FPGAがその処理を行っている間は、CPUは他のタスクを実行できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例による情報処理装置の構成を示すブロック図である。

【図2】図1中のインタフェース部の構成を示すブロック図である。

【図3】図1中のFPGAブロックの構成を示すブロック図である。

【図4】(a)は従来の情報処理装置におけるCPUの

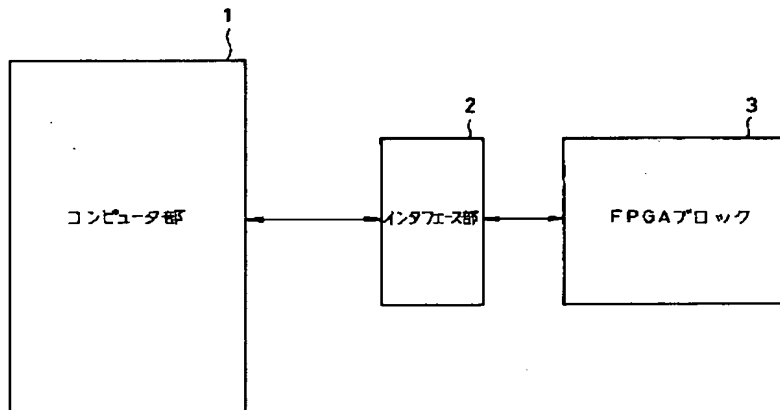
6

動作を示すタイムチャート、(b)は図1の情報処理装置におけるCPU及びFPGAの動作を示すタイムチャートである。

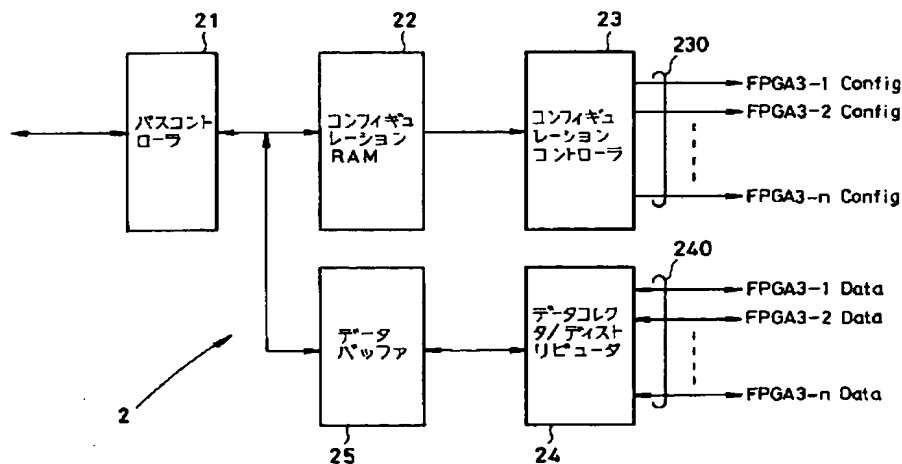
【符号の説明】

- 1 コンピュータ部
- 2 インタフェース部
- 3 FPGAブロック
- 21 バスコントローラ
- 22 コンフィギュレーションRAM
- 23 コンフィギュレーションコントローラ
- 24 データコレクタ/ディストリビュータ
- 25 データバッファ

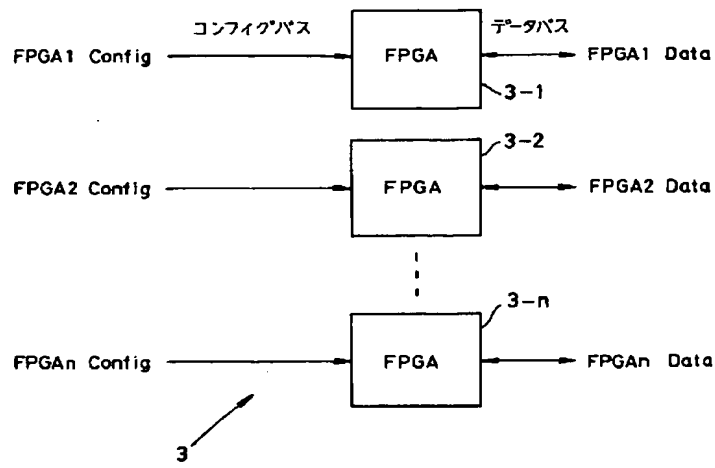
【図1】



【図2】



【図 3】



【図 4】

